

Patent Abstracts of Japan

PUBLICATION NUMBER : 57103434
PUBLICATION DATE : 28-06-82

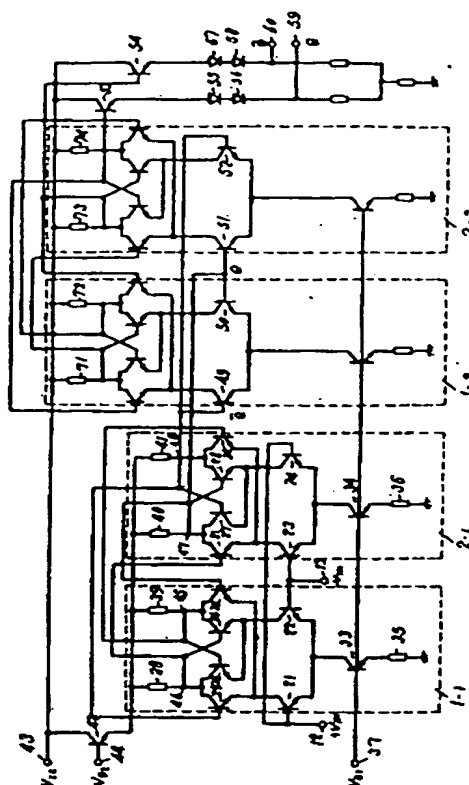
APPLICATION DATE : 17-12-80
APPLICATION NUMBER : 55179468

APPLICANT : MATSUSHITA ELECTRIC IND CO LTD;

INVENTOR : YAMADA HARUYASU;

INT.CL. : H03K 23/30

TITLE : FREQUENCY DIVIDING CIRCUIT



ABSTRACT : PURPOSE: To reduce the power consumption, by applying a power source voltage lower than that for a 1/2 frequency divider of the succeeding stage to a 1/2 frequency divider of the preceding stage and by connecting the output of the frequency divider of the preceding stage to the input of the frequency divider of the succeeding stage directly.

CONSTITUTION: Since an input signal VIN connected to terminals 12 and 13 is connected with opposite polarities between preceding and succeeding blocks 1-1 and 2-1, an FF of transistors TRs 26 and 25 is inverted in the block 1-1 when the signal VIN is H, and an FF of TRs 27 and 28 is inverted in the block 2-1 when the signal VIN is L, and the 1/2 frequency dividing operation is executed, respectively. Voltages supplied to load resistances 38-41 of blocks 1-1 and 2-1 are given through a TR42 from a bias voltage VB2 of a terminal 44 lower than a voltage Vcc of a terminal 43. Output terminals 47 and 48 of the block 2-1 are connected directly to the input of a differential amplifier consisting of TRs 49- 52 of blocks 1-2 and 2-2 of a 1/2 frequency divider of the preceding stage, and the output of a 1/2 frequency divider of the succeeding stage has the level shifted by emitter follower TRs 53 and 54 and diodes 55-58 and is outputted from output terminals 59 and 60.

COPYRIGHT: (C) JPO

⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開
昭57—103434

⑫ Int. Cl.³
H 03 K 23/30

識別記号

庁内整理番号
7232—5 J

⑬ 公開 昭和57年(1982)6月28日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 分周回路

門真市大字門真1006番地松下電
器産業株式会社内

⑮ 特 願 昭55—179468
⑯ 出 願 昭55(1980)12月17日
⑰ 発 明 者 山田晴保

⑱ 出 願 人 松下電器産業株式会社
門真市大字門真1006番地
⑲ 代 理 人 弁理士 中尾敏男 外 1 名

明 細 書

1. 発明の名称

分周回路

2. 特許請求の範囲

エミッタカップルドロジック構成の多段分周器において、前段 $\frac{1}{2}$ 分周器の負荷抵抗の接続される電源電圧を次段の $\frac{1}{2}$ 分周器の負荷抵抗の接続される電源電圧よりも低い電源に接続し、前記前段 $\frac{1}{2}$ 分周器の出力端子を直接前記次段の分周器入力端子に接続することを特徴とする分周回路。

3. 発明の詳細な説明

本発明は ECL (エミッタカップルドロジック) 回路で構成された分周回路に関し、特に分周器の低消費電力化に関するものである。

従来の ECL で構成された $\frac{1}{2}$ 分周器の例を第1図に示す。1, 2は等しい回路構成で、トランジスタ(以下 T と略す) 3, 4は入力差動アンプ、T=6, 6はフリップフロップ回路(以下 FF と略す)、T=7, 8はブロック2の出力を入力する T=ゲート、9, 10はエミッタホロウ T、T=11は

定電流トランジスタである。ブロック2 K についてもブロック1と構成が等しいので相当する T に同一の番号を付す。12, 13は信号の入力端子、14はバイアス電圧端子、15, 16はそれぞれ正負の出力端子である。17は電源端子である。

入力信号はブロック1と2で逆接続されているので動作は入力信号の半周期ごと異なる。ブロック1は +V_{in} が "H" になるときに T=6, 6のフリップフロップが反転する。同様にブロック2は +V_{in} が "L" になるときにフリップフロップが反転する。お互のブロックが反転できるのは、半周期前に相手側のフリップフロップが反転しているため T=7, 8のゲートの電圧が反転しているためである。

ところでこの例の分周器では T=9, 10より成るエミッタホロウが4ヶ使用されている。基本動作に必要なものは T=11の定電流バスだけであるから電源から接地点に至る電流バスは2本から6本になったことがある。エミッタホロウと云えども電流をあまり小さくすると動作スピードが低下

するのであまり小さくすることはできない。従ってこれらのエミッタホロウのために消費電力が大きくなる。分周器の段数が少ない場合には大きな問題ではないが、段数が増加した場合とか1GHz等の分周器には高速スイッチング動作が必要となり1段当りの電流も増加し消費電力も大きなものとなる。

本発明はこの様な従来の分周器の欠点に鑑み、上記エミッタホロウ回路を削減し、低電力化をはかった分周器を提供するものである。すなわち、本発明は抵抗を負荷とするRC回路で構成された多段分周器において、後段の1/2分周器の電源電圧よりも低い電源電圧を前段の1/2分周器に印加し、前段の1/2分周出力をレベルシフトを介さず後段の1/2分周器の入力に直接接続することにより電源から接地点に至る電流パスを減少せしめ、低電力化をはかったものである。以下第2図の実施例をもとに本発明を説明する。この例では説明の都合上分周器を2段構成にした場合を示す。

第2図において1-1、2-1は第1図に示す

アス電圧を加え、信号は容量を介して端子12に入力する。Tr29と30のベース電圧を比較した場合V47よりV48が高いためTr29に電流が流れ、端子46は“L”、端子47は“H”となる。次に入力パルスV1が②のタイミングで“L”になるとTr22が導通し、Tr25、26よりなるフリップフロップが動作してそのまま出力は保持される。一方Tr23、24よりなる差動アンプではTr23が導通する。Tr31、32のベース電圧を比較すると出力端子46は“L”で端子45は“H”であるからTr32が導通する。従ってこれまで“H”であった出力端子48は“L”となり、端子47は“H”となる。

次に③のタイミングではTr24が導通するが、Tr27、28のフリップフロップが動作して出力端子47、48の状態は保持される。一方Tr21、23の差動アンプではTr21が導通する。Tr29、30のベース電圧を比較した場合、出力端子47が“H”、端子48が“L”であるのでタイミング④の場合と異なりTr30が導通し、端子46は

従来のブロック1、2に相当する。2段目の分周器のブロック1-2、2-2も同様である。端子12、13は信号入力端子、Tr21、22とTr23、24はそれぞれ差動アンプを構成する。Tr25、26とTr27、28はそれぞれフリップフロップを構成し、Tr29、30とTr31、32はブロック1-1と2-1の出力をお互のブロックに入力するゲートトランジスタ、Tr33、34と抵抗35、36はバイアス端子37の電圧から定電流を作る回路、抵抗38、39、40、41は負荷抵抗、Tr42は端子43の電源より低い端子44のバイアス電圧からブロック1-1、2-1の電流を作るトランジスタである。

次にこの分周器の動作を説明する。第3図に動作説明のためのパルス波形を示す。出力端子45、46、47、48のパルス波形はV45、V46、V47、V48である。入力パルスV1が①のタイミングで“H”になるとTr21が導通する。この分周器が初段の場合は端子13には適当なバイアス電圧を加え端子12には抵抗を介して等しいバイ

“L”、端子46は“H”となる。以上のことを繰返すことにより分周動作を行う。

ところで第2図では従来の分周器と比較して第1図のごときエミッタホロウTr29、30が入っていないので例えばTr25のコレクタエミッタ間電圧が小さくなり、Tr26が飽和領域に入りスイッチングスピードが遅くなる可能性がある。しかしながらTrのベースエミッタ間電圧は0.7~0.8Vあり、負荷抵抗38の抵抗を0.3V程度におさえれば、Tr25のコレクタ抵抗が極端に大きくないかぎりTr25を未飽和におさえることは容易である。また負荷抵抗の電流の1部を直接ベース電流とするがTrの電流増幅率を100程度とすれば1%程度なので問題はない。

1段目から2段目への出力はトランジスタ42で前もって電源端子43の電圧よりも下げているので、出力の直流バイアス電圧はその分だけ低い電圧となり次段のブロック1-2、2-2で構成される分周器への出力は端子47、48から直接出力される。Tr49、50と51、52は差動ア

ンプを構成し、抵抗71、72、73、74はその負荷抵抗である。これら差動アンプを構成するT₁のベースに前段の分周器の出力信号が直接入力される。2段目の分周器の動作については前記で説明した1段目の分周器と同様である。ただし入力電圧が高くなるため全体的にバランス電圧レベルを高くする必要があるため、負荷抵抗71、72、73、74は直接電源端子43に接続されている。電源が6V程度以上であれば2段目の分周器を直接接続することが可能である。2段以上は出力端子のレベルシフトをしないと次段への接続が不可能であるのでエミッタホロワトランジスタ53、54とダイオード55～58でもってレベルシフトを行う。出力信号は端子59、60からとり出され、直流レベルも次の2段構成の分周器の入力に直結されるのに最適な電圧になる。

第2図の例では電源よりも低い電圧を作るのにバイアス電圧V_{B2}とトランジスタ42を用いたが、このトランジスタ42の換りにT₁21、22とT₁23、24から構成される差動増幅器の定電流

特性を利用して抵抗38、39の電流側の端子を接続し、この接続点と電源とを適当な電圧降下を生ずる共通抵抗で接続し、同様に抵抗40、41の電流側の端子も同様に構成してもよい。なぜなら前記共通抵抗を流れる電流は一定であるのでこの抵抗の両端の電圧は常に一定である。寄生容量等によるリップルの影響が小さければこの構成でも充分である。また同様な理由により抵抗38、39、40、41の電流側の端子を全部接続し、この接続点と電源とを適当な電圧降下を生ずる様な1本の共通抵抗で接続しても良い。

以上の本発明の分周器構成によれば次の効果を得ることができる。

- (1) 分周器2段分でエミッタホロワを6回路なくすることができ、電源から接地点までの電流パスを従来の12個から6個に減らすことができ、定電流源とエミッタホロワの電流を等しいとすると電力は½に削減できる。
- (2) 出力端子およびフリップフロップのエミッタホロワが除去できたので信号伝達のパスが短か

くなり、スイッチング速度が早まり、分周できる最大周波数が向上できる。

以上の本発明の実施例では分周器2段構成ごとにエミッタホロワを入れてレベルシフトするものであるが、電源に余裕があれば3段構成でもそれ以上の直結が可能である。3段構成であれば電力は44%に低減できる。この分周器は半導体集積回路に通したもので上記効果を十分発揮できるものである。

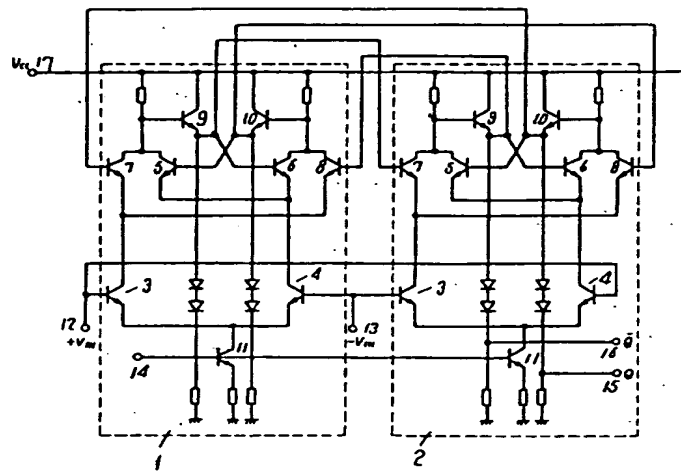
4. 図面の簡単な説明

第1図は従来の分周器図、第2図は本発明の分周器の一実施例の回路図、第3図は本発明の分周器の分周動作を説明するためのタイミング図である。

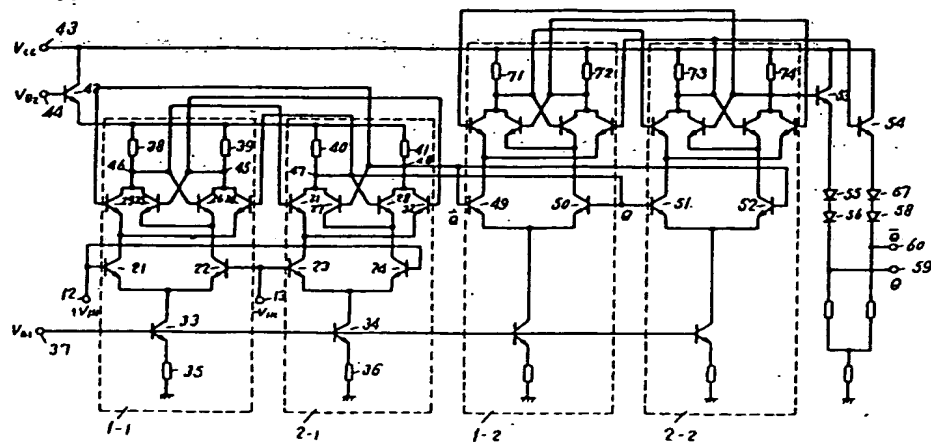
1-1、1-2、2-1、2-2……分周ブロック、12、13……信号入力端子、21～32……トランジスタ、42……トランジスタ、43……電源端子、44……電源より低い端子、45～48……出力端子。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

第 1 図



第 2 図



第 3 図

